

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-211665

(P2019-211665A)

(43) 公開日 令和1年12月12日(2019.12.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/32 (2016.01)	G09G 3/32 A	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
H01L 33/00 (2010.01)	G09G 3/20 641D	5F241
	G09G 3/20 641A	
	G09G 3/20 641K	
審査請求 未請求 請求項の数 14 O L (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2018-108596 (P2018-108596)	(71) 出願人	502356528
(22) 出願日	平成30年6月6日 (2018.6.6)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(72) 発明者	森田 哲生
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	小川 康宏
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		Fターム(参考)	5C080 AA06 AA07 BB05 CC03 DD26
			EE29 FF11 FF12 HH13 JJ02
			JJ03 JJ04 JJ05 JJ06 JJ07
			最終頁に続く

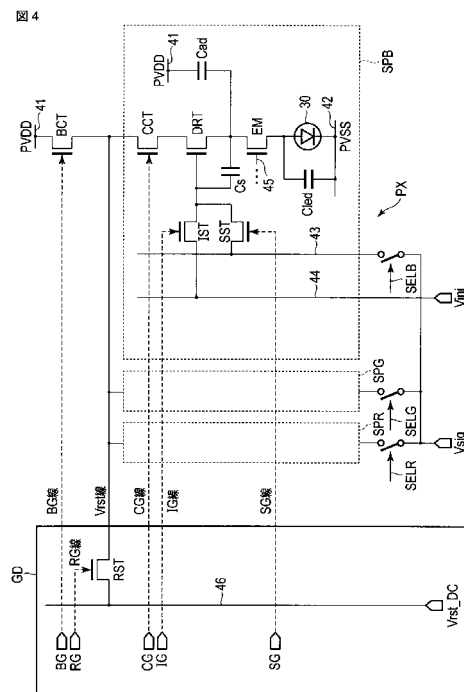
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】高輝度かつ低消費電力を実現することが可能な表示装置を提供することにある。

【解決手段】実施形態によれば、複数の画素と、映像信号に基づいて複数の画素を駆動する駆動部とを具備する表示装置が提供される。複数の画素はそれぞれ、発光素子と、発光素子への電流値を制御する駆動トランジスタとを有する。駆動トランジスタと発光素子とは、第1電源電位と第2電源電位との間に直列に接続される。映像信号は、表示領域を分割した領域に含まれる画素の階調値の平均値に基づく、当該領域に含まれる画素間で共通の第1輝度情報と、当該領域に含まれる画素の階調値と平均値との差分に基づく、当該領域に含まれる画素のそれぞれにおいて独立した第2輝度情報とを含む。駆動部は、第1輝度情報に基づいて1つの領域に含まれる画素に共通の発光時間を制御し、かつ、第2輝度情報に基づいて当該領域に含まれる画素の発光素子に供給される電流値を制御する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

表示領域にマトリクス状に配置された複数の画素と、
映像信号に基づいて前記複数の画素を駆動する駆動部と
を具備し、

前記複数の画素はそれぞれ、発光素子と、前記発光素子への電流値を制御する駆動トランジスタとを有し、

前記駆動トランジスタと前記発光素子とは、第 1 電源電位と、前記第 1 電源電位と電位差を有する第 2 電源電位との間に直列に接続され、

前記複数の画素を駆動するための映像信号は、第 1 輝度情報と第 2 輝度情報とを含み、

前記第 1 輝度情報は、前記表示領域を複数の領域に分割したうちの 1 つの領域に含まれる画素の階調値の平均値に基づく、当該 1 つの領域に含まれる画素間で共通の輝度情報であり、

前記第 2 輝度情報は、前記 1 つの領域に含まれる画素の階調値と前記平均値との差分に基づく、前記 1 つの領域に含まれる画素のそれぞれにおいて独立した輝度情報であり、

前記駆動部は、前記第 1 輝度情報に基づいて前記 1 つの領域に含まれる画素に共通の発光時間を制御し、かつ、前記第 2 輝度情報に基づいて前記 1 つの領域に含まれる画素のそれぞれが有する前記発光素子に供給される電流値を制御する

表示装置。

【請求項 2】

前記 1 つの領域に含まれる画素の階調は、前記第 1 輝度情報に基づいて制御される発光時間と、前記第 2 輝度情報に基づいて制御される電流値に基づく発光輝度と、の積算で表現される、請求項 1 記載の表示装置。

【請求項 3】

前記発光素子は、前記表示領域において、前記画素に対応して形成された画素電極上に実装されたマイクロ LED である、請求項 1 記載の表示装置。

【請求項 4】

前記第 2 輝度情報に基づいて制御される電流値は、前記マイクロ LED の発光効率が最大となる電流値から予め定められた範囲内にある値である、請求項 3 記載の表示装置。

【請求項 5】

前記複数の画素はそれぞれ、前記第 1 電源電位と前記第 2 電源電位との間に、前記駆動トランジスタと前記発光素子と共に直列に接続された制御トランジスタを更に有し、

前記発光時間は、前記制御トランジスタの導通、非導通によって制御される

請求項 1 記載の表示装置。

【請求項 6】

前記第 1 輝度情報及び前記第 2 輝度情報は、1 フレームの表示を行うための前記映像信号に属する、請求項 1 記載の表示装置。

【請求項 7】

前記第 2 輝度情報は、1 フレームの表示を行うための前記映像信号に属し、

前記第 1 輝度情報は、前記 1 フレームよりも前のフレームの表示を行うための前記映像信号に属する

請求項 1 記載の表示装置。

【請求項 8】

表示領域にマトリクス状に配置された複数の画素を備える表示装置の駆動方法であって、

映像信号を取得するステップと、

前記取得された映像信号に基づいて前記複数の画素を駆動するステップと

を具備し、

前記複数の画素はそれぞれ、発光素子と、前記発光素子への電流値を制御する駆動トランジスタとを有し、

10

20

30

40

50

前記駆動トランジスタと前記発光素子とは、第 1 電源電位と、前記第 1 電源電位と電位差を有する第 2 電源電位との間に直列に接続され、

前記複数の画素を駆動するための映像信号は、第 1 輝度情報と第 2 輝度情報とを含み、前記第 1 輝度情報は、前記表示領域を複数の領域に分割したうちの 1 つの領域に含まれる画素の平均階調値に基づく、当該 1 つの領域に含まれる画素間で共通の輝度情報であり

、前記第 2 輝度情報は、前記 1 つの領域に含まれる画素の階調値と前記平均階調値との差分に基づく、前記 1 つの領域に含まれる画素のそれぞれにおいて独立した輝度情報であり

、前記駆動するステップは、

前記第 1 輝度情報に基づいて前記 1 つの領域に含まれる画素に共通の発光時間を制御するステップと、

前記第 2 輝度情報に基づいて前記 1 つの領域に含まれる画素のそれぞれが有する前記発光素子に供給される電流値を制御するステップと

を含む

表示装置の駆動方法。

【請求項 9】

前記 1 つの領域に含まれる画素の階調は、前記第 1 輝度情報に基づいて制御される発光時間と、前記第 2 輝度情報に基づいて制御される電流値に基づく発光輝度と、の積算で表現される、請求項 8 記載の表示装置の駆動方法。

【請求項 10】

前記発光素子は、前記表示領域において、前記画素に対応して形成された画素電極上に実装されたマイクロ LED である、請求項 8 記載の表示装置の駆動方法。

【請求項 11】

前記第 2 輝度情報に基づいて制御される電流値は、前記マイクロ LED の発光効率が最大となる電流値から予め定められた範囲内にある値である、請求項 10 記載の表示装置の駆動方法。

【請求項 12】

前記複数の画素はそれぞれ、前記第 1 電源電位と前記第 2 電源電位との間に、前記駆動トランジスタと前記発光素子と共に直列に接続された制御トランジスタを更に有し、

前記発光時間は、前記制御トランジスタの導通、非導通によって制御される

請求項 8 記載の表示装置の駆動方法。

【請求項 13】

前記第 1 輝度情報及び前記第 2 輝度情報は、1 フレームの表示を行うための前記映像信号に属する、請求項 8 記載の表示装置の駆動方法。

【請求項 14】

前記第 2 輝度情報は、1 フレームの表示を行うための前記映像信号に属し、

前記第 1 輝度情報は、前記 1 フレームよりも前のフレームの表示を行うための前記映像信号に属する

請求項 8 記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、表示装置及び表示装置の駆動方法に関する。

【背景技術】

【0002】

自発光素子である発光ダイオード (LED: Light Emitting Diode) を用いた LED ディスプレイが知られているが、近年では、より高精細化した表示装置として、マイクロ LED と称される微小な発光ダイオード素子を用いた表示装置 (以下、マイクロ LED ディスプレイと表記) が開発されている。

10

20

30

40

50

【 0 0 0 3 】

このマイクロLEDディスプレイは、従来の液晶表示ディスプレイや有機ELディスプレイと異なり、表示領域に、チップ状の多数のマイクロLEDが実装されて形成されるため、高精細化と大型化の両立が容易であり、次世代ディスプレイとして注目されている。

【 0 0 0 4 】

しかしながら、マイクロLEDディスプレイにおいては、各素子に流れる電流密度によって当該素子の発光効率が異なることが知られており、高輝度かつ低消費電力を実現することが困難である。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 1 8 - 0 1 4 4 7 5 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

そこで、本発明が解決しようとする課題は、高輝度かつ低消費電力を実現することが可能な表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 7 】

実施形態によれば、表示領域にマトリクス状に配置された複数の画素と、映像信号に基づいて前記複数の画素を駆動する駆動部とを具備する表示装置が提供される。前記複数の画素はそれぞれ、発光素子と、前記発光素子への電流値を制御する駆動トランジスタとを有する。前記駆動トランジスタと前記発光素子とは、第1電源電位と、前記第1電源電位と電位差を有する第2電源電位との間に直列に接続される。前記複数の画素を駆動するための映像信号は、第1輝度情報と第2輝度情報とを含む。前記第1輝度情報は、前記表示領域を複数の領域に分割したうちの1つの領域に含まれる画素の階調値の平均値に基づく、当該1つの領域に含まれる画素間で共通の輝度情報である。前記第2輝度情報は、前記1つの領域に含まれる画素の階調値と、前記平均値との差分に基づく、前記1つの領域に含まれる画素のそれぞれにおいて独立した輝度情報である。前記駆動部は、前記第1輝度情報に基づいて前記1つの領域に含まれる画素に共通の発光時間を制御し、かつ、前記第2輝度情報に基づいて前記1つの領域に含まれる画素のそれぞれが有する前記発光素子に供給される電流値を制御する。

20

30

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 実施形態に係る表示装置の構成を概略的に示す斜視図。

【 図 2 】 表示装置の断面構造の一例を模式的に表した図。

【 図 3 】 表示装置の断面構造の他の例を模式的に表した図。

【 図 4 】 表示装置の回路構成の一例について説明するための図。

【 図 5 】 画素におけるリセット動作、オフセットキャンセル動作及び書き込み動作に関する各種信号の出力例を示すタイミングチャート。

40

【 図 6 】 駆動トランジスタのソース側のリセット動作の概要について説明するための図。

【 図 7 】 駆動トランジスタのゲート側のリセット動作の概要について説明するための図。

【 図 8 】 オフセットキャンセル動作の概要について説明するための図。

【 図 9 】 映像信号の書き込み動作の概要について説明するための図。

【 図 1 0 】 発光素子の発光動作の概要について説明するための図。

【 図 1 1 】 表示領域を分割したブロックの概要について説明するための図。

【 図 1 2 】 P W M 制御線と画素に含まれる副画素との接続関係について説明するための図。

。

【 図 1 3 】 画素が表現する階調制御について説明するための図。

【 図 1 4 】 パネルドライバの処理手順の一例について説明するための図。

50

【図 1 5】表示装置における P W M 制御について説明するための図。

【図 1 6】発光素子の発光効率と当該発光素子に流れる電流密度との関係を示す図。

【発明を実施するための形態】

【 0 0 0 9 】

以下、図面を参照して、実施形態について説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の趣旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一または類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

10

【 0 0 1 0 】

図 1 は、本実施形態に係る表示装置 1 の構成を概略的に示す斜視図である。図 1 は、第 1 方向 X と、第 1 方向 X に垂直な第 2 方向 Y と、第 1 方向 X 及び第 2 方向 Y に垂直な第 3 方向 Z によって規定される三次元空間を示している。なお、第 1 方向 X 及び第 2 方向 Y は、互いに直交しているが、90°以外の角度で交差していてもよい。また、本実施形態において、第 3 方向 Z を上と定義し、第 3 方向 Z と反対側の方向を下と定義する。「第 1 部材の上の第 2 部材」及び「第 1 部材の下の第 2 部材」とした場合、第 2 部材は、第 1 部材に接していてもよく、第 1 部材から離れて位置していてもよい。

【 0 0 1 1 】

20

以下、本実施形態においては、表示装置 1 が自発光素子であるマイクロ L E D を用いたマイクロ L E D 表示装置（マイクロ L E D ディスプレイ）である場合について主に説明する。

【 0 0 1 2 】

図 1 に示すように、表示装置 1 は、表示パネル 2、第 1 回路基板 3 及び第 2 回路基板 4 等を備える。

【 0 0 1 3 】

表示パネル 2 は、一例では矩形状である。図示した例では、表示パネル 2 の短辺 E X は、第 1 方向 X と平行であり、表示パネル 2 の長辺 E Y は、第 2 方向 Y と平行である。第 3 方向 Z は、表示パネル 2 の厚さ方向に相当する。表示パネル 2 の主面は、第 1 方向 X と第 2 方向 Y とにより規定される X - Y 平面に平行である。表示パネル 2 は、表示領域 D A、及び表示領域 D A の外側の非表示領域 N D A を有している。非表示領域 N D A は、端子領域 M T を有している。図示した例では、非表示領域 N D A は、表示領域 D A を囲んでいる。

30

【 0 0 1 4 】

表示領域 D A は、画像を表示する領域であり、例えばマトリクス状に配置された複数の画素 P X を備えている。画素 P X は、発光素子（マイクロ L E D）及び当該発光素子を駆動するためのスイッチング素子（駆動トランジスタ）等を含む。

【 0 0 1 5 】

端子領域 M T は、表示パネル 2 の短辺 E X に沿って設けられ、表示パネル 2 を外部装置等と電氣的に接続するための端子を含んでいる。

40

【 0 0 1 6 】

第 1 回路基板 3 は、端子領域 M T の上に実装され、表示パネル 2 と電氣的に接続されている。第 1 回路基板 3 は、例えばフレキシブルプリント回路基板である。第 1 回路基板 3 は、表示パネル 2 を駆動する駆動 I C チップ（以下、パネルドライバと表記）5 等を備えている。なお、図示した例では、パネルドライバ 5 は、第 1 回路基板 3 の上に配置されているが、下に配置されていてもよい。または、パネルドライバ 5 は、第 1 回路基板 3 以外に実装されていてもよく、例えば第 2 回路基板 4 に実装されていてもよい。第 2 回路基板 4 は、例えばフレキシブルプリント回路基板である。第 2 回路基板 4 は、第 1 回路基板 3 の例えば下方において第 1 回路基板 3 と接続されている。

50

【 0 0 1 7 】

上記したパネルドライバ 5 は、例えば第 2 回路基板 4 を介して制御基板（図示せず）と接続されている。パネルドライバ 5 は、例えば制御基板から出力される映像信号に基づいて複数の画素 P X を駆動することによって表示パネル 2 に画像を表示する制御を実行する。

【 0 0 1 8 】

なお、表示パネル 2 は、斜線を付して示す折り曲げ領域 B A を有していてもよい。折り曲げ領域 B A は、表示装置 1 が電子機器等の筐体に収容される際に折り曲げられる領域である。折り曲げ領域 B A は、非表示領域 N D A のうち端子領域 M T 側に位置している。折り曲げ領域 B A が折り曲げられた状態において、第 1 回路基板 3 及び第 2 回路基板 4 は、表示パネル 2 と対向するように、表示パネル 2 の下方に配置される。

10

【 0 0 1 9 】

図 2 は、表示装置 1 の断面構造を模式的に表したものである。ここでは、上記したマイクロ L E D と称される微小な発光ダイオード素子が表示素子として画素電極上に実装された例について説明する。

【 0 0 2 0 】

なお、図 2 においては、画素を構成する T F T (Thin Film Transistor) を含む表示領域 D A、端子領域 M T、及び当該端子領域 M T を含む非表示領域 N D A (額縁領域) を折り曲げるための折り曲げ領域 B A について主に示している。

20

【 0 0 2 1 】

図 2 に示す表示パネル 2 のアレイ基板 A R は、絶縁基板 2 1 を備えている。絶縁基板 2 1 としては、T F T 工程中の処理温度に耐えるのであれば特に材質は問わないが、主に石英、無アルカリガラス等のガラス基板、またはポリイミド等の樹脂基板を用いることができる。樹脂基板は可撓性を有し、シートディスプレイとして表示装置 1 を構成することができる。なお、樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。上記のことから、絶縁基板 2 1 を、有機絶縁層、又は樹脂層と称した方が適当な場合があり得る。

【 0 0 2 2 】

絶縁基板 2 1 上には、三層積層構造のアンダーコート層 2 2 が設けられている。アンダーコート層 2 2 は、シリコン酸化物 (S i O 2) で形成された第 1 層 2 2 a、シリコン窒化物 (S i N) で形成された第 2 層 2 2 b、及びシリコン酸化物 (S i O 2) で形成された第 3 層 2 2 c を有している。最下層の第 1 層 2 2 a は基材である絶縁基板 2 1 との密着性向上のため、中層の第 2 層 2 2 b は外部からの水分及び不純物のブロック膜として、最上層の第 3 層 2 2 c は第 2 層 2 2 b 中に含有する水素原子が後述する半導体層 S C 側に拡散しないようにするブロック膜として、それぞれ設けられている。なお、アンダーコート層 2 2 は、この構造に限定されるものではない。アンダーコート層 2 2 は、更に積層があってもよいし、単層構造あるいは二層構造であってもよい。例えば、絶縁基板 2 1 がガラスである場合、シリコン窒化膜は比較的密着性がよいので、当該絶縁基板 2 1 上に直接シリコン窒化膜を形成しても構わない。

30

【 0 0 2 3 】

遮光層 2 3 は、絶縁基板 2 1 の上に配置されている。遮光層 2 3 の位置は、後に T F T を形成する箇所に合わせてられている。本実施形態において、遮光層 2 3 は、金属で形成されている。但し、遮光層 2 3 は、黒色層など、遮光性を有する材料で形成されていればよい。また、本実施形態において、遮光層 2 3 は、第 1 層 2 2 a の上に設けられ、第 2 層 2 2 b で覆われている。なお、本実施形態と異なり、遮光層 2 3 は、絶縁基板 2 1 の上に設けられ、第 1 層 2 2 a で覆われていてもよい。遮光層 2 3 によれば、T F T のチャネル裏面への光の侵入を抑制することができるため、絶縁基板 2 1 側から入射され得る光に起因した T F T 特性の変化を抑制することが可能である。また、遮光層 2 3 を導電層で形成した場合には、当該遮光層 2 3 に所定の電位を与えることで、T F T にバックゲート効果を付与することが可能である。

40

50

【0024】

上記したアンダーコート層22上にはTFT（例えば、駆動トランジスタDRT）が形成される。TFTとしては半導体層SCにポリシリコンを利用するポリシリコンTFTを例としている。本実施形態において、低温ポリシリコンを利用して半導体層SCが形成されている。TFTは、NchTFT、PchTFTのいずれを用いてもよい。または、NchTFTとPchTFTを同時に形成してもよい。以後、駆動トランジスタDRTとしてNchTFTを用いた例として説明する。NchTFTの半導体層SCは、第1領域と、第2領域と、第1領域及び第2領域の間のチャネル領域と、チャネル領域及び第1領域の間並びにチャネル領域及び第2領域の間にそれぞれ設けられた低濃度不純物領域と、を有する。第1及び第2領域の一方がソース領域として機能し、第1及び第2領域の他方がドレイン領域として機能している。ゲート絶縁膜GIはシリコン酸化膜を用い、ゲート電極GEはMoW（モリブデン・タングステン）で形成されている。なお、ゲート電極GEなど、ゲート絶縁膜GIの上に形成される配線や電極を、1st配線、又は1stメタルと称する場合がある。ゲート電極GEは、TFTのゲート電極としての機能に加え、後述する保持容量電極としての機能も有している。ここではトップゲート型のTFTを例として説明しているが、TFTはボトムゲート型のTFTであってもよい。

10

【0025】

ゲート絶縁膜GI及びゲート電極GEの上には、層間絶縁膜24が設けられている。層間絶縁膜24は、ゲート絶縁膜GI及びゲート電極GEの上に、例えば、シリコン窒化膜及びシリコン酸化膜を順に積層して構成されている。ゲート絶縁膜GI及び層間絶縁膜24は、折り曲げ領域BAに設けられていない。そのため、折り曲げ領域BAを含む絶縁基板21上の全領域に、ゲート絶縁膜GI及び層間絶縁膜24を形成した後、ゲート絶縁膜GI及び層間絶縁膜24にパターニングを行って、ゲート絶縁膜GI及び層間絶縁膜24のうち少なくとも折り曲げ領域BAに相当する箇所を除去している。更に、層間絶縁膜24などの除去によってアンダーコート層22が露出するため、当該アンダーコート層22についてもパターニングを行って折り曲げ領域BAに相当する箇所を除去している。アンダーコート層22を除去した後は、絶縁基板21を構成する例えばポリイミドが露出する。なお、アンダーコート層22のエッチングを通じて、絶縁基板21の上面が一部浸食された膜減りを生ずる場合がある。

20

【0026】

この場合、層間絶縁膜24の端部における段差部分及びアンダーコート層22の端部における段差部分のそれぞれの下層に配線パターンを形成しておいてもよい。これによれば、次の工程で形成する引き回し配線LLが段差部分を横切る際に、配線パターンの上を通る。層間絶縁膜24とアンダーコート層22との間にはゲート電極GIがあり、アンダーコート層22と絶縁基板21の間には例えば遮光層23があるので、それらの層を利用して配線パターンを形成することができる。

30

【0027】

層間絶縁膜24の上に、第1電極E1、第2電極E2、及び引き回し配線LLが設けられている。第1電極E1、第2電極E2、及び引き回し配線LLは、それぞれ三層積層構造（Ti系/A1系/Ti系）が採用され、Ti（チタン）、Tiを含む合金などTiを主成分とする金属材料からなる下層と、A1（アルミニウム）、A1を含む合金などA1を主成分とする金属材料からなる中間層と、Ti、Tiを含む合金などTiを主成分とする金属材料からなる上層と、を有している。なお、第1電極E1など、層間絶縁膜24の上に形成される配線や電極を、2nd配線、又は2ndメタルと称する場合がある。第1電極E1は半導体層SCの第1領域に接続され、第2電極E2は半導体層SCの第2領域に接続されている。例えば、半導体層SCの第1領域がソース領域として機能する場合、第1電極E1はソース電極であり、第2電極E2はドレイン電極である。第1電極E1は、層間絶縁膜24、及びTFTのゲート電極（保持容量電極）GEとともに保持容量Csを形成している。引き回し配線LLは、絶縁基板21の周縁の端部まで延在され、第1回路基板3やパネルドライバ（駆動IC）5を接続する端子を形成する。

40

50

【 0 0 2 8 】

なお、引き回し配線 L L は、折り曲げ領域 B A を横切って端子部に到達するように形成されるため、層間絶縁膜 2 4 及びアンダーコート層 2 2 の段差を横切る。上記したように段差部分には遮光層 2 3 による配線パターンが形成されているため、引き回し配線 L L が段差の凹部で段切れを生じたとしても、下の配線パターンにコンタクトすることで導通を維持することが可能である。

【 0 0 2 9 】

T F T 及び引き回し配線 L L を覆うように平坦化膜 2 5 が、層間絶縁膜 2 4 、第 1 電極 E 1 、第 2 電極 E 2 、及び引き回し配線 L L の上に形成されている。平坦化膜 2 5 としては感光性アクリル等の有機絶縁材料が多く用いられる。C V D 等により形成される無機絶縁材料に比べ、配線段差のカパレッジ性や、表面の平坦性に優れる。

10

【 0 0 3 0 】

平坦化膜 2 5 は、画素コンタクト部及び周辺領域では除去される。平坦化膜 2 5 の上に、導電層 2 6 が設けられている。導電層 2 6 は、酸化物導電層として、例えば I T O で形成されている。導電層 2 6 は、例えば、平坦化膜 2 5 の除去により第 1 電極 E 1 及び引き回し配線 L L が露出した箇所を被覆する導電層 2 6 a を含んでいる。平坦化膜 2 5 及び導電層 2 6 は、絶縁層 2 7 で被覆されている。例えば、絶縁層 2 7 はシリコン窒化膜で形成されている。絶縁層 2 7 の上に、画素電極 2 8 が形成されている。画素電極 2 8 は、絶縁層 2 7 の開口を介して導電層 2 6 a にコンタクトし、第 1 電極 E 1 に電氣的に接続されている。ここでは、画素電極 2 8 は、発光素子 3 0 を実装するための接続端子となる。画素電極 2 8 は、単一の導電層、二層以上の導電層を含む積層体で形成されている。本実施形態において、画素電極 2 8 は、二層積層構造 (A 1 系 / M o 系) が採用され、M o 、M o を含む合金など M o を主成分とする金属材料からなる下層と、A 1 、A 1 を含む合金など A 1 を主成分とする金属材料からなる上層と、を有している。画素部において、上記導電層 2 6 は、導電層 2 6 b を含んでいる。導電層 2 6 b 、絶縁層 2 7 、及び画素電極 2 8 は、補助容量 C a d を形成している。なお、上記導電層 2 6 は、端子部の表面を形成する導電層 2 6 c を含んでいる。導電層 2 6 a は、製造工程で第 1 電極 E 1 や引き回し配線 L L の露出部がダメージを負わないようにバリア膜として設けることを目的の一つとしている。

20

【 0 0 3 1 】

絶縁層 2 7 及び画素電極 2 8 の上に絶縁層 2 9 が設けられている。絶縁層 2 9 は、例えばシリコン窒化物で形成されている。絶縁層 2 9 は、画素電極 2 8 の端部等を絶縁すると共に、画素電極 2 8 の表面の一部に発光素子 (マイクロ L E D) 3 0 を実装するための開口を有している。絶縁層 2 9 の開口の大きさは、発光素子 3 0 の実装工程における実装ずれ量等を考慮し、発光素子 3 0 よりも一回り大きめの開口とする。例えば発光素子 3 0 が実質的に $10\mu\text{m} \times 10\mu\text{m}$ の実装面積である場合、上記開口は実質的に $20\mu\text{m} \times 20\mu\text{m}$ は確保されることが好ましい。

30

【 0 0 3 2 】

表示領域 D A において、アレイ基板 A R の上に、発光素子 3 0 が実装される。発光素子 3 0 は、陽極 A N と、陰極 C A と、光を放出する発光層 L I と、を有している。発光素子 3 0 は、R、G、B の発光色を有するものがそれぞれ用意されており、対応する画素電極 2 8 に陽極側端子が接触し固定されている。発光素子 3 0 の陽極 A N と画素電極 2 8 との間の接合は、両者の間で良好な導通が確保でき、かつ、アレイ基板 A R の形成物を破損しないものであれば特に限定されない。例えば低温溶融のはんだ材料を用いたリフロー工程や、導電ペーストを介して発光素子 3 0 をアレイ基板 A R 上に載せた後に焼成結合する等の手法、あるいは画素電極 2 8 の表面と、発光素子の陽極 A N とに同系材料を用い、超音波接合等の固層接合の手法を採用することができる。

40

【 0 0 3 3 】

発光素子 3 0 は、画素電極 2 8 に接する陽極 A N の反対側に陰極 C A を有している。発光素子 3 0 が形成されたアレイ基板 A R の上には、素子絶縁層 3 1 が設けられている。素

50

子絶縁層 31 は、アレイ基板 AR の上で、発光素子 30 の間の空隙部に充填された樹脂材料で形成されている。素子絶縁層 31 は、発光素子 30 のうち陰極 CA の表面を露出させている。対向電極 32 は、対向電極 32 の陰極 CA の表面と素子絶縁層 31 の上に形成され、陰極 CA に接触し、陰極 CA と電氣的に接続されている。対向電極 32 は、発光素子 30 からの出射光を取り出すために、透明電極として形成する必要がある、透明導電材料として例えば ITO を用いて形成される。なお、ITO で形成される上記導電層 26 を 1st ITO と称する場合があります、ITO で形成される対向電極 32 を 2nd ITO と称する場合があります。対向電極 32 は、表示領域 DA に実装された複数の発光素子 30 の陰極 CA を共通に接続し、表示領域 DA の外側に設けられた陰極コンタクト部でアレイ基板 AR 側に設けられた配線と接続される。

10

【0034】

一方、発光素子 30 の側壁部分が保護膜等で絶縁されている場合は、必ずしも樹脂材料等で空隙を充填する必要はなく、樹脂材料は、陽極 AN と、陽極 AN から露出した画素電極 28 の表面とを少なくとも絶縁できればよい。この場合、図 3 に示すように発光素子 30 の陰極 CA まで達しないような膜厚で素子絶縁層 31 を形成し、続けて上記対向電極 32 を形成する。対向電極 32 が形成される表面には発光素子 30 の実装に伴う凹凸の一部が残存しているが、対向電極 32 を形成する材料が段切れすることなく連続的に覆うことができればよい。

【0035】

上記のように、アレイ基板 AR は、絶縁基板 21 から対向電極 32 までの構造を有している。本実施形態に係る発光素子 30 を表示素子として用いる表示装置 1 は、例えば以上のように構成されている。なお、図 2 の説明では、便宜的に、画素電極 28 が駆動トランジスタ DRT に接続される場合を例に説明した。但し、図 4 を用いて後述するが、画素電極 28 は、PWM 制御トランジスタ EM を介して駆動トランジスタ DRT に電氣的に接続される場合もある。なお、必要に応じて、対向電極 32 の上にカバーガラスなどのカバー部材やタッチパネル基板等が設けられてもよい。このカバー部材やタッチパネル基板は、表示装置 1 との空隙を埋めるために樹脂等を用いた充填剤を介して設けられてもよい。

20

【0036】

ここで、上記したように表示装置 1 がマイクロ LED 表示装置である場合、当該マイクロ LED 表示装置が有するマイクロ LED の発光効率、当該マイクロ LED に流れる電流密度によって異なることが知られている。このため、本実施形態に係る表示装置 1 においては、高い発光効率を得られる電流を発光素子（マイクロ LED）に流した状態で、当該電流のパルス幅を変調する PWM（Pulse Width Modulation）制御を行うことによって、表示装置 1 における各画素の階調を表現するものとする。

30

【0037】

次に、図 4 を参照して、表示装置 1 の回路構成について説明する。上記したように表示領域 DA には複数の画素 PX がマトリクス状に配置されている。複数の画素 PX は、同様に構成されている。そこで、図 4 においては、複数の画素 PX のうちの 1 つの画素 PX を代表して説明する。画素 PX は、例えば 3 つの副画素（サブピクセル）SPR、SPG 及び SPB を含む。

40

【0038】

副画素 SPR、SPG 及び SPB は、同様に構成されている。そこで、ここでは、便宜的に、副画素 SPB の構成（画素回路）について主に説明する。図 4 に示すように、副画素 SPB は、発光素子 30、PWM 制御トランジスタ EM、駆動トランジスタ DRT、発光制御トランジスタ CCT、画素トランジスタ SST、初期化トランジスタ IST、保持容量 Cs 及び補助容量 Cad を含む。ゲートドライバ GD は、リセットトランジスタ RST を含んでいる。なお、図 4 に示す出力トランジスタ BCT は、副画素 SPR、SPG 及び SPB に対して 1 つ配置されている。図 4 において、各トランジスタは、n チャネル型トランジスタである。また、図 4 に示す素子容量 Cle d は、発光素子 30 の陽極 AN と陰極 CA との間の容量である。なお、PWM 制御トランジスタ EM、発光制御トランジスタ

50

タ C C T、リセットトランジスタ R S T、画素トランジスタ S S T、初期化トランジスタ I S T、及び出力トランジスタ B C T は、それぞれトランジスタで構成されていなくともよい。P W M 制御トランジスタ E M、発光制御トランジスタ C C T、リセットトランジスタ R S T、画素トランジスタ S S T、初期化トランジスタ I S T、及び出力トランジスタ B C T は、それぞれ、P W M 制御スイッチ、発光制御スイッチ、リセットスイッチ、画素スイッチ、初期化スイッチ、及び出力スイッチとして機能するものであればよい。V r s t 線はリセット配線として機能し、B G 線、R G 線、C G 線、I G 線、及び S G 線は、それぞれ制御配線として機能している。

【0039】

以下の説明においては、トランジスタのソース・ドレイン端子の一方を第1端子、他方を第2端子とする。また、容量素子の一方の端子を第1端子、他方の端子を第2端子とする。

10

【0040】

P W M 制御トランジスタ E M は、上記した表示装置 1 における P W M 制御を行うために設けられており、第1主電源線 4 1 (第1電源電位) 及び第2主電源線 4 2 (第2電源電位) との間に、駆動トランジスタ D R T 及び発光素子 3 0 と共に直列に接続されている。具体的には、P W M 制御トランジスタ E M の第1端子は、発光素子 3 0 のアノード端子に接続される。また、P W M 制御トランジスタ E M の第2端子は、駆動トランジスタ D R T の第1端子、保持容量 C s の第1端子及び補助容量 C a d の第1端子に接続される。

【0041】

20

駆動トランジスタ D R T の第1端子は、上記した P W M 制御トランジスタ E M の第2端子、保持容量 C s の第1端子及び補助容量 C a d の第1端子に接続される。駆動トランジスタ D R T の第2端子は、発光制御トランジスタ C C T の第1端子に接続されている。

【0042】

発光制御トランジスタ C C T の第2端子は、出力トランジスタ B C T の第1端子と接続されている。また、発光制御トランジスタ C C T の第2端子は、V r s t 線を介してリセットトランジスタ R S T の第1端子に接続されている。

【0043】

出力トランジスタ B C T の第2端子は、第1主電源線 4 1 に接続されている。また、発光素子 3 0 のカソード端子は、第2主電源線 4 2 に接続されている。

30

【0044】

画素トランジスタ S S T の第1端子は、駆動トランジスタ D R T のゲート端子、初期化トランジスタ I S T の第1端子及び保持容量 C s の第2端子に接続されている。画素トランジスタ S S T の第2端子は、画素信号線 4 3 に接続されている。

【0045】

初期化トランジスタ I S T の第2端子は、初期化電源線 4 4 に接続されている。補助容量 C a d の第2端子は、第1主電源線 4 1 に接続されている。なお、補助容量 C a d の第2端子は、定電位線に接続されていればよく、第1主電源線 4 1 と異なる配線に接続されていてもよい。

【0046】

40

ここで、リセットトランジスタ R S T は副画素 S P B (画素 P X) 外に配置されたゲートドライバ G D に設けられており、当該リセットトランジスタ R S T の第2端子は、リセット電源線 4 6 に接続されている。

【0047】

ここで、第1主電源線 4 1 には第1電源電位 P V D D が供給され、第2主電源線 4 2 には第2電源電位 P V S S が供給される。第1電源電位 P V D D は発光素子 3 0 にアノード電圧を供給するための電圧に相当し、第2電源電位 P V S S は発光素子 3 0 のカソード電圧に相当する。

【0048】

また、画素信号線 4 3 には画素信号 V s i g が供給され、初期化電源線 4 4 には初期化

50

電圧 V_{ini} が供給され、リセット電源線 46 はリセット電源電位 V_{rst} に設定される。なお、画素信号 V_{sig} は、上記した映像信号に基づいて画素（ここでは、副画素 SPB ）に書き込まれる信号である。

【0049】

なお、発光制御トランジスタ $CC T$ のゲート端子は、 CG 線に接続されている。この CG 線には、発光制御信号 CG が供給される。

【0050】

出力トランジスタ $BC T$ のゲート端子は、 BG 線に接続されている。この BG 線には、出力制御信号 BG が供給される。

【0051】

画素トランジスタ ST のゲート端子は、 SG 線に接続されている。この SG 線には、画素制御信号 SG が供給される。

【0052】

初期化トランジスタ IT のゲート端子は、 IG 線に接続されている。この IG 線には、初期化制御信号 IG が供給される。

【0053】

リセットトランジスタ RT のゲート端子は、 RG 線に接続されている。この RG 線には、リセット制御信号 RG が供給される。

【0054】

なお、 PWM 制御トランジスタ EM のゲート端子には、 PWM 制御のための PWM 制御線 45 が接続されている。本実施形態における PWM 制御によれば、当該 PWM 制御線 45 を介して PWM 制御トランジスタ EM に供給される信号（以下、 PWM 制御信号と表記）に基づく当該 PWM 制御トランジスタ EM の導通、非導通によって、発光素子 30 の発光時間を制御することができる。

【0055】

図 4 においては上記したトランジスタが全て n チャネル型トランジスタであるものとして説明したが、例えば駆動トランジスタ $DR T$ 以外のトランジスタは p チャネル型トランジスタであってもよく、 n チャネル型トランジスタ及び p チャネル型トランジスタが混在していてもよい。

【0056】

また、表示装置 1 は、少なくとも 1 つのゲートドライバ GD を備えていればよい。本実施形態において、図示していないが、表示装置 1 は、2 つのゲートドライバ GD を備えている。ゲートドライバ GD は、図 4 で言う画素 PX の左側だけではなく、画素 PX の右側にも設けられている。そのため、1 つの画素 PX に、両側のゲートドライバ GD から信号を与えることが可能である。ここでは、上記した SG 線については両側給電方式が採用されており、他の CG 線、 BG 線、 IG 線、 V_{rst} 線等については片側給電方式が採用されているものとする。

【0057】

ここでは、副画素 SPB の構成について説明したが、副画素 SPR 及び SPG についても同様である。

【0058】

なお、図 4 において説明した回路構成は一例であり、上記した駆動トランジスタ $DR T$ 及び PWM 制御トランジスタ EM を含むものであれば、表示装置 1 の回路構成は他の構成であっても構わない。例えば図 4 において説明した回路構成のうちの一部が省略されていてもよいし、他の構成が追加されても構わない。

【0059】

図 5 は、画素 PX におけるリセット動作、オフセットキャンセル（ OC ）動作、書き込み動作及び発光動作に関する各種信号の出力例を示すタイミングチャートである。ここでは、主に RG 線、 BG 線、 CG 線、 IG 線及び SG 線に供給される信号について説明する。

。

10

20

30

40

50

【 0 0 6 0 】

なお、画素 P X におけるリセット動作及びオフセットキャンセル動作は、当該画素 P X の 2 行単位で行われるものとする。図 5 において、リセット動作及びオフセットキャンセル動作の対象となる 2 行の画素 P X (以下、1 行目及び 2 行目の画素 P X と表記) に接続されている R G 線、B G 線、C G 線及び I G 線はそれぞれ R G 1 2、B G 1 2、C G 1 2 及び I G 1 2 として示している。なお、1 行目の画素 P X に接続される S G 線は S G 1、2 行目の画素 P X に接続される S G 線は S G 2 として示している。

【 0 0 6 1 】

同様に、上記した 1 行目及び 2 行目の画素 P X の次にリセット動作及びオフセットキャンセル動作の対象となる 2 行の画素 P X (以下、3 行目及び 4 行目の画素 P X と表記) に接続されている R G 線、B G 線、C G 線及び I G 線はそれぞれ R G 3 4、B G 3 4、C G 3 4 及び I G 3 4 として示している。なお、3 行目の画素 P X に接続される S G 線は S G 3、4 行目の画素 P X に接続される S G 線は S G 4 として示している。

10

【 0 0 6 2 】

図 5 では、1 行目 ~ 4 行目の画素 P X に対する各種の信号のタイミングを示しているが、例えば 5 行目以降の画素 P X についても同様である。

【 0 0 6 3 】

以下、1 行目及び 2 行目の画素 P X のリセット動作、オフセットキャンセル動作、映像信号の書き込み動作及び発光動作に係る信号の順序について説明する。なお、各種の動作の詳細については、図 6 ~ 図 1 0 を用いて後述する。各画素 P X におけるリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作は、パネルドライバ 5 から出力される信号 (S E L R / G / B) に従って副画素 S P R、S P G 及び S P B (R G B) のうちの 1 つを選択することにより実行される。

20

【 0 0 6 4 】

また、表示装置 1 の回路構成においてはトランジスタが全て n チャンネル型である場合を想定しており、このようなトランジスタのゲート端子にロー (レベル) の信号が供給されると当該トランジスタはオフ状態 (非導通状態) となる。一方、このようなトランジスタのゲート端子にハイ (レベル) の信号が供給されると当該トランジスタはオン状態 (導通状態) となる。

【 0 0 6 5 】

まず、保持容量 C s のリセット動作に先立って、B G 1 2 の出力制御信号 B G がハイからローになると共に R G 1 2 のリセット制御信号 R G がローからハイになる。これにより、出力トランジスタ B C T を介した第 1 電源電位 P V D D と第 2 電源電位 P V S S との間での電流が遮られると共に、V r s t 線の電圧で出力トランジスタ B C T - アノード間がリセットされる。

30

【 0 0 6 6 】

次に、I G 1 2 の初期化制御信号 I G がローからハイになる。これにより、初期化トランジスタ I S T を通じて初期化電圧 V i n i で保持容量 C s がリセットされる。

【 0 0 6 7 】

なお、保持容量 C s のリセットに先立って信号がローになっていた B G 1 2 の出力制御信号 B G は、保持容量 C s のリセット期間の完了に伴いハイになる。また、R G 1 2 のリセット制御信号 R G は、保持容量 C s のリセット期間の完了に伴いローになる。

40

【 0 0 6 8 】

また、I G 1 2 の初期化制御信号 I G は、オフセットキャンセル期間の完了に伴いローになる。

【 0 0 6 9 】

その後、C G 1 2 の発光制御信号 C G は、ハイからローになる。これにより、発光制御トランジスタ C C T を介した第 1 電源電位 P V D D と第 2 電源電圧 P V S S との間での電流が遮られる。

【 0 0 7 0 】

50

これに合わせて、SG1の画素制御信号SGがローからハイになる。この場合、画素信号線43を介して画素信号Vsigに応じた電流が画素トランジスタSSTを通じて保持容量Cs等流れ、当該保持容量Csには画素信号Vsigに応じた静電容量が蓄積される。これにより、1行目の画素PX（副画素SPR、SPG及びSPB）への書き込み動作が完了する。

【0071】

次に、SG2の画素制御信号SGがローからハイになる。この場合、画素信号線43を介して画素信号Vsigに応じた電流が画素トランジスタSSTを通じて保持容量Cs等流れ、当該保持容量Csには映像信号に応じた静電容量が蓄積される。これにより、2行目の画素PX（副画素SPR、SPG及びSPB）への書き込み動作が完了する。

10

【0072】

書き込み動作が完了した場合、上記した画素信号Vsigに基づいて決定される電流値に従って発光素子30に電流が流れることにより、当該発光素子30が発光する。

【0073】

ここでは、1行目及び2行目の画素PXのリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作に係る信号の順序について説明したが、3行目及び4行目の画素PXにおけるリセット動作、オフセットキャンセル動作、書き込み動作及び発光動作についても同様である。

【0074】

図5においてはリセット動作及びオフセットキャンセル動作が2行単位で（つまり、2行一括で）実施されるものとして説明したが、このような構成によれば、額縁領域の削減及び電力削減等を実現することができる。

20

【0075】

以下、図6～図10を参照して、表示装置1の動作の概要について説明する。まず、図6を参照して、駆動トランジスタDRTのソース側のリセット動作について説明する。

【0076】

なお、以下の説明においては、上記した保持容量Csの第1端子と接続される駆動トランジスタDRTの第1端子がソース端子、発光制御トランジスタCCTの第1端子と接続される駆動トランジスタDRTの第2端子がドレイン端子であるものとして説明する。

【0077】

駆動トランジスタDRTのソース側のリセット動作の場合、出力制御信号BGをロー（BG=L）、リセット制御信号RGをハイ（RG=H）、発光制御信号CGをハイ（CG=H）、初期化制御信号IGをロー（IG=L）、画素制御信号SGをロー（SG=L）とする。

30

【0078】

これによれば、出力トランジスタBCTはOFF状態（BCT=OFF）、リセットトランジスタRSTはON状態（RST=ON）、発光制御トランジスタCCTはON状態（CCT=ON）、初期化トランジスタISTはOFF状態（IST=OFF）、画素トランジスタSSTはOFF状態（SST=OFF）となる。ソースリセット動作では、リセットトランジスタRSTはON状態に切り替えられている。

40

【0079】

ここで、PWM制御トランジスタEMがオン状態となることにより、駆動トランジスタDRTのソース端子及びドレイン端子のそれぞれの電位はリセット電源電位Vrstと同電位にリセットされ、ソースリセット動作は完了する。

【0080】

なお、リセット電源電位Vrstとしては、例えば第2電源電位PVSSよりも低い電位に設定される。具体的には、リセット電源電圧Vrstとして-2Vに設定される。

【0081】

ソースリセット動作の際、駆動トランジスタDRTがON状態であってもOFF状態であっても、当該駆動トランジスタDRTのソース端子は-2V（リセット電源電位Vrst

50

t)に引かれるため、駆動トランジスタDRTはON状態となる。なお、画素信号Vsigの最小値は0Vである。そして、発光素子30のアノード側は-2Vとなり、カソード側よりも低くなるため、当該発光素子30は消灯する。

【0082】

なお、保持容量Csには前フレームで書き込まれた画素信号Vsigによる電圧が保持されているが、保持容量Csの第2端子は電氣的にフローティング状態にあるので、当該保持容量Csの充放電は行われず、保持容量Csの第1端子の電位の変化に応じて第2端子の電位が変化する。

【0083】

次に、図7を参照して、駆動トランジスタDRTのゲート側のリセット動作について説明する。

【0084】

駆動トランジスタDRTのゲート側のリセット動作の場合、出力制御信号BGをロー(BG=L)、リセット制御信号RGをハイ(RG=H)、発光制御信号CGをハイ(CG=H)、初期化制御信号IGをハイ(IG=H)、画素制御信号SGをロー(SG=L)とする。

【0085】

これによれば、出力トランジスタBCTはOFF状態(BCT=OFF)、リセットトランジスタRSTはON状態(RST=ON)、発光制御トランジスタCCTはON状態(CCT=ON)、初期化トランジスタISTはON状態(IST=ON)、画素トランジスタSSTはOFF状態(SST=OFF)となる。つまり、初期化トランジスタISTはON状態に切り替えられ、ゲートリセット動作が開始される。

【0086】

この場合、駆動トランジスタDRTのソース端子及び保持容量Csの第1端子にはリセット電源電圧Vrstが供給され、駆動トランジスタDRTのゲート端子には初期化トランジスタISTを介して初期化電圧Viniが供給される。これにより、駆動トランジスタDRTのゲート端子の電位は、初期化電圧Viniに対応する電位にリセットされ、前フレームの情報がリセットされる。

【0087】

ここで、初期化電圧Viniとしては、リセット電源電圧Vrstよりも高い電圧が設定される。例えば初期化電圧Viniは+1.2Vである。ゲートリセット動作において、駆動トランジスタDRTでは、ソース端子の電位(Vrst)に対するゲート端子の電位(Vini)がハイレベルになるため、駆動トランジスタDRTはオン状態となる。

【0088】

また、この期間において、保持容量Csには、リセット電源電位Vrstの値と初期化電圧Viniとの電位差に基づく電荷が保持される。なお、駆動トランジスタDRTがON状態であっても、出力トランジスタBCTがOFF状態であるため、図7に示すゲートリセット動作において発光素子30は点灯(発光)しない。

【0089】

次に、図8を参照して、オフセットキャンセル動作について説明する。オフセットキャンセル動作の場合、出力制御信号BGをハイ(BG=H)、リセット制御信号RGをロー(RG=L)、発光制御信号CGをハイ(CG=H)、初期化制御信号IGをハイ(IG=H)、画素制御信号SGをロー(SG=L)とする。

【0090】

これによれば、出力トランジスタBCTはON状態(BCT=ON)、リセットトランジスタRSTはOFF状態(RST=OFF)、発光制御トランジスタCCTはON状態(CCT=ON)、初期化トランジスタISTはON状態(IST=ON)、画素トランジスタSSTはOFF状態(SST=OFF)となる。つまり、出力トランジスタBCTはON状態に、リセットトランジスタRSTはOFF状態に、それぞれ切り替えられる。

【0091】

10

20

30

40

50

この場合、駆動トランジスタD R Tのドレイン端子には出力トランジスタB C Tを介して第1電源電位P V D Dが供給される。

【0092】

ここで、駆動トランジスタD R Tはオン状態となっているため、駆動トランジスタD R Tのドレイン端子に供給された第1電源電位P V D Dによって駆動トランジスタD R Tのチャンネルを電流が流れ、当該駆動トランジスタD R Tのソース端子の電位が上昇する。その後、駆動トランジスタD R Tのソース端子の電位とゲート端子の電位との差が駆動トランジスタD R Tのしきい値電圧(V_{th})に達すると、駆動トランジスタD R Tはオフ状態となる。言い換えると、駆動トランジスタD R Tのゲート端子・ソース端子間の電圧はキャンセル点($V_{gs} = V_{th}$)に到達し、このキャンセル点に相当する電位差が保持容量C sに保持される。

10

【0093】

具体的には、駆動トランジスタD R Tのゲート端子には初期化電圧V i n iが供給されており、当該駆動トランジスタD R Tのソース端子の電位がV i n i - V_{th} に達すると駆動トランジスタD R Tはオフ状態となる。これにより、駆動トランジスタD R Tの V_{th} のばらつき分のオフセットが当該駆動トランジスタD R Tのゲート・ソース間に生じる。これにより、駆動トランジスタD R Tのしきい値のオフセットキャンセル動作は完了する。

【0094】

次に、図9を参照して、映像信号(画素信号V s i g)の書き込み動作について説明する。

20

【0095】

書き込み動作の場合、出力制御信号B Gをハイ($B G = H$)、リセット制御信号R Gをロー($R G = L$)、発光制御信号C Gをロー($C G = L$)、初期化制御信号I Gをロー($I G = L$)、画素制御信号S Gをハイ($S G = H$)とする。

【0096】

これによれば、出力トランジスタB C TはO N状態($B C T = O N$)、リセットトランジスタR S TはO F F状態($R S T = O F F$)、発光制御トランジスタC C TはO F F状態($C C T = O F F$)、初期化トランジスタI S TはO F F状態($I S T = O F F$)、画素トランジスタS S TはO N状態($S S T = O N$)となる。つまり、発光制御トランジスタC C T及び初期化トランジスタI S TはO F F状態に、画素トランジスタS S TはO N状態に切り替えられる。

30

【0097】

この場合、画素トランジスタS S Tを通じて画素信号V s i gが駆動トランジスタD R Tのゲートに書き込まれる。

【0098】

ここで、駆動トランジスタD R Tのソースは上記したオフセットキャンセル動作により V_{th} の値毎に異なる電位となっているため、同じ映像信号を書き込む場合であっても当該駆動トランジスタD R Tの電圧V g sは異なる。画素信号V s i gが完了した駆動トランジスタD R Tにおいて、電圧V g sは次の式1で表される。

40

【数1】

$$V_{gs} = (V_{sig} - V_{ini}) \times \frac{(C_{led} + C_{ad})}{(C_s + C_{ad} + C_{led})} + V_{th} \quad \dots \text{式(1)}$$

【0099】

なお、図5において説明したように、例えば1行目の画素P Xに対する書き込みが完了した後は、同様に2行目の画素に対する書き込みが行われる。第2行の画素に対する書き込みが行われる場合、1行目の画素P Xについては画素トランジスタS S TをO F F状態とする。

50

【 0 1 0 0 】

上記した書き込み動作においては、発光制御トランジスタ C C T が O F F 状態であるため、発光素子 3 0 は点灯（発光）しない。

【 0 1 0 1 】

次に、図 1 0 を参照して、発光素子 3 0 を発光させる発光動作の概要について説明する。

【 0 1 0 2 】

発光動作の場合、出力制御信号 B G をハイ（ B G = H ）、リセット制御信号 R G をロー（ R G = L ）、発光制御信号 C G をハイ（ C G = H ）、初期化制御信号 I G をロー（ I G = L ）、画素制御信号 S G をロー（ S G = L ）とする。

10

【 0 1 0 3 】

これによれば、出力トランジスタ B C T は O N 状態（ B C T = O N ）、リセットトランジスタ R S T は O F F 状態（ R S T = O F F ）、発光制御トランジスタ C C T は O N 状態（ C C T = O N ）、初期化トランジスタ I S T は O F F 状態（ I S T = O F F ）、画素トランジスタ S S T は O F F 状態（ S S T = O F F ）となる。つまり、画素トランジスタ S S T は O F F 状態に、発光制御トランジスタ C C T は O N 状態に切り替えられる。なお、発光動作の際、 P W M 制御トランジスタ E M は所定期間 O N 状態となる。

【 0 1 0 4 】

この場合、上記した書き込み動作によって書き込まれた駆動トランジスタ D R T のゲート電位に応じて当該駆動トランジスタ D R T 及び P W M 制御トランジスタ E M を通り、発光素子 3 0 に電流 I l e d が流れ、当該発光素子 3 0 が点灯（発光）する。

20

【 0 1 0 5 】

発光期間において、電流 I l e d は、駆動トランジスタ D R T から与えられる出力電流（駆動トランジスタ D R T の飽和領域の出力電流） I d r t に相当する（ I l e d = I d r t ）。駆動トランジスタ D R T の利得係数を β とすると、出力電流 I d r t は次の式 2 で表される。

【 数 2 】

$$I_{drt} = \beta \times (V_{gs} - V_{th})^2 \quad \cdots \text{式 (2)}$$

30

【 0 1 0 6 】

そして、上記式 2 に上記式 1 を代入することにより、出力電流 I d r t は次の式 3 で表される。

【 数 3 】

$$I_{drt} = \beta \times \left\{ (V_{sig} - V_{ini}) \times \frac{(C_{led} + C_{ad})}{(C_s + C_{ad} + C_{led})} \right\}^2 \quad \cdots \text{式 (3)}$$

【 0 1 0 7 】

このため、出力電流 I d r t は、駆動トランジスタ D R T のしきい値電圧 V t h に依存しない値となり、出力電流 I d r t への駆動トランジスタ D R T のしきい値電圧のばらつきによる影響を排除することができる。

40

【 0 1 0 8 】

なお、上記利得係数 β は、次の式で定義される。

$$\beta = 1 / 2 \times C_{ox} \times \mu \times W / L$$

なお、 C o x は単位面積当たりのゲート静電容量、 μ はキャリア移動度、 W は駆動トランジスタ D R T のチャネル幅、 L は駆動トランジスタ D R T のチャネル長である。

【 0 1 0 9 】

ここで、上記したように表示装置 1 がマイクロ L E D 表示装置である場合、当該マイクロ L E D 表示装置が有するマイクロ L E D の発光効率は電流密度によって異なることから

50

、例えばRGB毎に最大の発光効率を得られる電流密度で発光制御することが重要である。

【0110】

この場合、各画素PXが表現する階調制御としては、最大発光効率を得られる電流をマイクロLEDに流した状態でPWM制御を行うことが有効である。

【0111】

しかしながら、各画素PXが表現する階調制御をPWM制御（PWMにおけるデューティ制御）のみで行うと、画素回路が複雑になる。

【0112】

そこで、本実施形態においては、表示領域DA（つまり、複数の画素PX）を複数の領域（以下、ブロックと表記）に分割し、当該ブロック単位でPWM制御を行うとともに、当該ブロック内の画素PXの各々が表現する個別の階調については当該画素PX（副画素SPR、SPG及びSPB）に含まれる発光素子30に供給される電流値（Vsig）により微調整する構成とする。

10

【0113】

まず、図11を参照して、上記したブロックの概要について説明する。図11に示すように、表示領域DAは、複数のブロックに分割される。図11では、表示領域DAがBlock1～16の16のブロックに分割されている例が示されている。

【0114】

表示領域DAが分割されたBlock1～16の各々には、表示領域DAにマトリクス状に配置されている複数の画素PXのうち、当該ブロック（領域）に対応する画素PXが含まれている（割り当てられている）。なお、Block1～16には、例えば複数の画素PXがそれぞれ含まれている。

20

【0115】

ここで、表示領域DAが分割された複数のBlock1～16の各々には、RGB毎に独立したPWM制御線45が配置されている。具体的には、例えばBlock1に含まれる複数の画素PX（以下、画素PX1と表記）の各々には副画素SPR、SPG及びSPBが含まれているが、Block1には、複数の画素PX1に含まれる全ての副画素SPRに接続される1のPWM制御線45R、複数の画素PX1に含まれる全ての副画素SPGに接続される1のPWM制御線45G、複数の画素PX1に含まれる全ての副画素SPBに接続される1のPWM制御線45Bの3つのPWM制御線（つまり、RGB毎の制御線）45が配置されている。ここでは、Block1について説明したが、他のBlock2～16についても同様である。

30

【0116】

なお、図11に示す例では表示領域DAが16のブロックに分割された場合について示されているが、当該表示領域DAが分割されるブロックの数は16以外の数であってもよいし、当該ブロックの形状も図11に示すものと異なってもよい。

【0117】

次に、図12を参照して、PWM制御線45と画素PXに含まれる副画素SPR、SPG及びSPBとの接続関係について説明する。なお、図12においては各画素PXに含まれる副画素SPR、SPG及びSPBの画素回路を示しているが、当該画素回路においては、主に駆動トランジスタDRT、PWM制御トランジスタEM及び発光素子30についてのみ示し、他の構成については省略されている。

40

【0118】

図12に示すPWM制御線45Rの一端は、例えばBlock1に含まれる複数の画素PX1の各々に含まれる副画素SPRのPWM制御トランジスタEMのゲート端子に接続されている。ここではBlock1に含まれる複数の画素PX1のうちの2つの画素PX1のみが示されているが、PWM制御線45Rは、他の画素PX1に含まれる副画素SPRのPWM制御トランジスタEMのゲート端子にも同様に接続されている。

【0119】

50

このPWM制御線45Rに後述するPWM制御信号が供給されることによって、Block 1内の全ての画素PX1に含まれる副画素SPRに対する包括的なPWM制御が可能となる。

【0120】

また、PWM制御線45Gの一端は、例えばBlock 1に含まれる複数の画素PX1の各々に含まれる副画素SPGのPWM制御トランジスタEMのゲート端子に接続されている。ここではBlock 1に含まれる複数の画素PXのうちの2つの画素PX1のみが示されているが、PWM制御線45Gは、他の画素PX1に含まれる副画素SPGのPWM制御トランジスタEMのゲート端子にも同様に接続されている。

【0121】

このPWM制御線45GにPWM制御信号が供給されることによって、Block 1内の全ての画素PX1に含まれる副画素SPGに対する包括的なPWM制御が可能となる。

【0122】

更に、PWM制御線45Bの一端は、例えばBlock 1に含まれる複数の画素PX1の各々に含まれる副画素SPBのPWM制御トランジスタEMのゲート端子に接続されている。ここではBlock 1に含まれる複数の画素PXのうちの2つの画素PX1のみが示されているが、PWM制御線45Bは、他の画素PX1に含まれる副画素SPBのPWM制御トランジスタEMのゲート端子にも同様に接続されている。

【0123】

このPWM制御線45BにPWM制御信号が供給されることによって、Block 1内の全ての含まれる副画素SPBに対する包括的なPWM制御が可能となる。

【0124】

ここではBlock 1について主に説明したが、他のBlock 2～16についても同様である。これによれば、本実施形態においては、各PWM制御線45に供給されるPWM制御信号に基づいて、ブロック単位でのRGB毎のPWM制御が可能となる。

【0125】

なお、上記したようにPWM制御線45の一端は副画素SPR、SPG及びSPBのPWM制御トランジスタEMのゲート端子に接続されるが、当該PWM制御線45の他端は、パネルドライバ5に接続される。すなわち、上記したPWM制御のためのPWM制御信号は、パネルドライバ5から供給される。

【0126】

ここで、本実施形態に係る表示装置1においては、上記したように各画素PXに含まれる副画素SPR、SPG及びSPBの駆動トランジスタDRTのゲート端子に画素信号Vsigが供給される。

【0127】

このため、本実施形態において画素PXが表現する階調は、図13に示すように、SG線に接続された画素トランジスタSSTを介して供給される画素信号Vsigに基づく各副画素SPR、SPG及びSPBの発光素子30の発光輝度と、PWM制御線45を介して供給されるPWM制御信号に基づく各副画素SPR、SPG及びSPBの発光素子30の発光時間とによって制御される。なお、画素信号Vsigは各画素PXに含まれる副画素毎に供給される信号であるが、PWM制御信号は各ブロック毎に供給される信号である。

【0128】

以下、図14のフローチャートを参照して、パネルドライバ5（駆動部）の処理手順について説明する。ここでは、パネルドライバ5によって実行される処理のうち、上記した階調制御に関する処理について主に説明する。

【0129】

まず、パネルドライバ5は、上記したように制御基板から出力される映像信号を取得する（ステップS1）。この映像信号には、表示パネル2に表示されるフレーム（画像）における各画素PXのR、G及びBの階調値（輝度値）の情報が含まれている。

【 0 1 3 0 】

次に、上記した表示領域 D A が分割された複数のブロックの各々に対して、以下のステップ S 2 及び S 3 の処理が実行される。以下、ステップ S 2 及び S 3 の処理の対象となるブロックを対象ブロックと称する。

【 0 1 3 1 】

なお、ステップ S 2 及び S 3 の処理は、対象ブロック内の複数の画素 P X に含まれる複数の副画素 S P R、S P G 及び S P B（つまり、R G B）毎に実行される。以下、対象ブロック内の複数の画素 P X に含まれる複数の副画素 S P R（以下、単に対象ブロック内の複数の副画素 S P R と表記）についてステップ S 2 及び S 3 の処理が実行される場合について説明する。

10

【 0 1 3 2 】

この場合、パネルドライバ 5 は、ステップ S 1 において取得された映像信号に基づいて、対象ブロック内の複数の副画素 S P R の各々の階調値の平均値（以下、階調平均値と表記）を算出する（ステップ S 2）。

【 0 1 3 3 】

パネルドライバ 5 は、ステップ S 2 において算出された階調平均値に基づいて、対象ブロック内の複数の副画素 S P R の P W M 制御トランジスタ E M に供給される P W M 制御信号の信号値（以下、P W M 制御値と表記）を決定する（ステップ S 3）。

【 0 1 3 4 】

なお、ステップ S 2 において決定される P W M 制御値は、対象ブロック内の複数の副画素 S P R に最適な P W M 比率に相当する。ステップ S 2 においては、複数の副画素 S P R の発光素子 3 0 に最大発光効率の電流値を流した状態で P W M 制御を実行した場合に、上記した階調平均値に対応する階調を表現することが可能となるような P W M 制御値が決定される。この P W M 制御値は、対象ブロック内の複数の副画素 S P R 間で共通の輝度情報である。

20

【 0 1 3 5 】

ここでは対象ブロック内の複数の副画素 S P R についてステップ S 2 及び S 3 の処理が実行される場合について説明したが、対象ブロック内の複数の副画素 S P G 及び S P B についても同様にステップ S 2 及び S 3 の処理が実行される。

【 0 1 3 6 】

これによれば、対象ブロック内の複数の副画素 S P R、S P G 及び S P B 毎（つまり、R G B 毎）の P W M 制御トランジスタ E M に対する P W M 制御値が決定される。

30

【 0 1 3 7 】

ステップ S 3 の処理が実行されると、全てのブロックについてステップ S 2 及び S 3 の処理が実行されたか否かが判定される（ステップ S 4）。

【 0 1 3 8 】

全てのブロックについて処理が実行されていないと判定された場合（ステップ S 4 の N O）、上記したステップ S 2 に戻って処理が繰り返される。この場合、処理が実行されていないブロックを対象ブロックとしてステップ S 2 及び S 3 の処理が実行される。

【 0 1 3 9 】

一方、全てのブロックについて処理が実行されたと判定された場合（ステップ S 4 の Y E S）、表示領域 D A に備えられている複数の画素 P X の各々に含まれる副画素の全てに対して、以下のステップ S 5 及び S 6 の処理が実行される。以下、ステップ S 5 及び S 6 の処理の対象となる副画素を対象副画素と称する。

40

【 0 1 4 0 】

この場合、パネルドライバ 5 は、ステップ S 1 において取得された映像信号に含まれる対象副画素の階調値と、当該対象副画素を含む画素 P X が含まれるブロックに対して上記したステップ S 2 において算出された階調平均値（当該対象副画素の階調値を用いて算出された階調平均値）との差分を算出する（ステップ S 5）。

【 0 1 4 1 】

50

なお、ステップ S 5 において算出される差分は、上記したように対象副画素の発光素子 30 に最大発光効率の電流値を流した状態で P W M 制御が行われた場合に表現される階調値（つまり、階調平均値）と、映像信号に基づいて対象副画素が表現すべき階調値との差分に相当する。

【 0 1 4 2 】

パネルドライバ 5 は、ステップ S 5 において算出された差分に基づいて、画素トランジスタ S S T を介して対象副画素の駆動トランジスタ D R T のゲート端子に供給される画素信号 V s i g の信号値（以下、画素信号値と表記）を決定する（ステップ S 6 ）。

【 0 1 4 3 】

ステップ S 6 においては、上記したステップ S 5 において算出された差分を微調整し、上記した P W M 制御値に基づいて P W M 制御が行われた状態で、映像信号に基づいて表現すべき階調値に対応する輝度で対象副画素（対象副画素の発光素子 30 ）が発光することが可能なような画素信号値が決定される。この画素信号値は、対象副画素に対して独立して（個別に）決定された輝度情報である。

10

【 0 1 4 4 】

ステップ S 6 の処理が実行されると、全ての副画素についてステップ S 5 及び S 6 の処理が実行されたか否かが判定される（ステップ S 7 ）。

【 0 1 4 5 】

全ての副画素について処理が実行されていないと判定された場合（ステップ S 7 の N O ） 、上記したステップ S 5 に戻って処理が繰り返される。この場合、処理が実行されていない副画素を対象副画素としてステップ S 5 及び S 6 の処理が実行される。

20

【 0 1 4 6 】

一方、全ての副画素について処理が実行されたと判定された場合（ステップ S 7 の Y E S ） 、パネルドライバ 5 は、上記したステップ S 3 において決定されたブロック毎の P W M 制御値（第 1 輝度情報）及びステップ S 6 において決定された副画素毎の画素信号値（第 2 輝度情報）を含む映像信号に基づいて複数の画素 P X （副画素 S P R 、 S P G 及び S P B ）を駆動する（ステップ S 8 ）。

【 0 1 4 7 】

上記した処理によれば、各ブロックにおいて決定された共通の P W M 制御値（つまり、当該 P W M 制御値に基づいて決定される発光時間）及び当該ブロック内の各画素 P X （副画素 S P R 、 S P G 及び S P B ）に対して独立して決定された画素信号値（つまり、当該画素信号値によって決定される電流値に基づく発光輝度）に基づいて各副画素の発光素子 30 を発光させることによって、映像信号に基づく当該画素 P X の階調を表現することが可能となる。

30

【 0 1 4 8 】

なお、図 1 4 の処理は、1 フレームの表示を行う度に実行される。すなわち、上記した P W M 制御値（第 1 輝度情報）及び画素信号値（第 2 輝度情報）は、1 フレームの表示を行うための映像信号に属するものである。

【 0 1 4 9 】

以下、図 1 5 を参照して、本実施形態に係る表示装置 1 において実行される P W M 制御について説明する。ここでは、図 1 1 等を示す複数の B l o c k 1 ~ 1 6 のうちの B l o c k 1 内の画素 P X 1 に含まれる副画素 S P R 、 S P G 及び S P B の各々における P W M 制御について具体的に説明する。

40

【 0 1 5 0 】

ここで、図 1 5 に示す書き込み期間において、上記した図 9 で説明した映像信号の書き込み動作が実行された場合を想定する。なお、この書き込み動作は上記したように行単位で行われる。このため、書き込み動作は、図 1 1 に示す B l o c k 1 ~ 4 内の複数の画素 P X （副画素 S P R 、 S P G 及び S P B ）に対して行われる。

【 0 1 5 1 】

この場合、B l o c k 1 内の各副画素においては、画素トランジスタ S S T を通じて画

50

素信号 V_{sig} が駆動トランジスタ DRT のゲートに書き込まれるが、当該駆動トランジスタ DRT のゲートに書き込まれる画素信号 V_{sig} の信号値は、当該副画素を対象画素として上記した図 14 に示すステップ $S6$ の処理が実行されることによって決定された画素信号値である。

【0152】

上記した $Block1 \sim 4$ 内の複数の画素 $PX1$ に対する書き込み動作が完了する（書き込み期間が終了する）と、図 15 に示す発光期間においては、上記した図 10 で説明した発光動作が実行される。

【0153】

この発光期間において、 $Block1$ 内の複数の副画素 SPR 、 SPG 及び SPB の各々の PWM 制御トランジスタ EM には、 PWM 制御線 45 を介して PWM 制御信号が供給される。

10

【0154】

ここで、図 15 において、 PWM 制御トランジスタ $EM - R$ は、 $Block1$ 内の複数の副画素 SPR の PWM 制御トランジスタ EM の集合を表している。同様に、 PWM 制御トランジスタ $EM - G$ は、 $Block1$ 内の複数の副画素 SPG の PWM 制御トランジスタ EM の集合を表している。更に、 PWM 制御トランジスタ $EM - B$ は、 $Block1$ 内の複数の副画素 SPB の PWM 制御トランジスタ EM の集合を表している。上記したように PW 制御信号は、 PWM 制御トランジスタ $EM - R$ 、 $EM - G$ 、 $EM - B$ 毎に供給される。

20

【0155】

図 15 に示す例では、 PWM 制御トランジスタ $EM - R$ には、発光期間の 8 割の時間で発光素子 30 を発光させる PWM 制御信号が供給されていることが示されている。なお、この PWM 制御トランジスタ $EM - R$ に供給される PWM 制御信号の信号値は、 $Block1$ を対象ブロックとし、当該 $Block1$ 内の複数の副画素 SPR について実行された図 14 に示すステップ $S3$ において決定された PWM 制御値である。

【0156】

また、 PWM 制御トランジスタ $EM - G$ には、発光期間の 5 割の時間で発光素子 30 を発光させる PWM 制御信号が供給されていることが示されている。なお、この PWM 制御トランジスタ $EM - G$ に供給される PWM 制御信号の信号値は、 $Block1$ を対象ブロックとし、当該 $Block1$ 内の複数の副画素 SPG について実行された図 14 に示すステップ $S3$ において決定された PWM 制御値である。

30

【0157】

また、 PWM 制御トランジスタ $EM - B$ には、発光期間の 3 割の時間で発光素子 30 を発光させる PWM 制御信号が供給されていることが示されている。なお、この PWM 制御トランジスタ $EM - B$ に供給される PWM 制御信号の信号値は、 $Block1$ を対象ブロックとし、当該 $Block1$ 内の複数の副画素 SPB について実行された図 14 に示すステップ $S3$ において決定された PWM 制御値である。

【0158】

すなわち、 $Block1$ 内の例えば 1 つの副画素 SPR の発光素子 30 は、当該副画素 SPR に対して個別に決定された画素信号値（つまり、当該副画素 SPR に含まれる発光素子 30 の発光輝度）及び当該 $Block1$ 内の複数の副画素 SPR に対して共通に決定された PWM 制御値（つまり、当該副画素 SPR に含まれる発光素子 30 の発光時間）に基づいて発光することによって、映像信号に基づく当該副画素 SPR の階調を表現する。

40

【0159】

同様に、 $Block1$ 内の例えば 1 つの副画素 SPG の発光素子 30 は、当該副画素 SPG に対して個別に決定された画素信号値（つまり、当該副画素 SPG に含まれる発光素子 30 の発光輝度）及び当該 $Block1$ 内の複数の副画素 SPG に対して共通に決定された PWM 制御値（つまり、当該副画素 SPG に含まれる発光素子 30 の発光時間）に基づいて発光することによって、映像信号に基づく当該副画素 SPG の階調を表現する。

50

【0160】

更に、Block 1内の例えば1つの副画素SPBの発光素子30は、当該副画素SPBに対して個別に決定された画素信号値（つまり、当該副画素SPBに含まれる発光素子30の発光輝度）及び当該Block 1内の複数の副画素SPBに対して共通に決定されたPWM制御値（つまり、当該副画素SPBに含まれる発光素子30の発光時間）に基づいて発光することによって、映像信号に基づく当該副画素SPBの階調を表現する。

【0161】

すなわち、本実施形態において、映像信号に基づく画素PXの階調は、当該画素PXに含まれる複数の副画素SPR、SPG及びSPBの各々に含まれる発光素子30がそれぞれ上記したように発光することによって表現することができる。

10

【0162】

なお、図15においては、副画素SPR、SPG及びSPBの発光素子30がPWM制御によって点灯及び消灯を繰り返すことが示されているが、上記した発光期間全体に対してPWM制御値に基づく発光時間（PWM比率）で発光するのであれば、発光素子30の点灯及び消灯の繰り返し回数は限定されない。具体的には、例えばBlock 1内の副画素SPRの発光素子30は、PWM制御信号（PWM制御値）に基づいて当該発光期間の開始から8割の時間において継続して発光し、残りの2割の時間において継続して消灯しても構わない。

【0163】

ここでは、主にBlock 1内の複数の画素PXに含まれる副画素SPR、SPG及びSPBの各々に対するPWM制御について説明したが、上記したようにBlock 1～4内の複数の画素PXに対する書き込み動作が完了した場合、Block 2～4内の複数の画素PXに含まれる副画素SPR、SPG及びSPBについても同様のPWM制御が実行される。

20

【0164】

更に、Block 1～4内の複数の画素PXに対する書き込み動作が完了した場合には、図15に示すようにBlock 5～8内の複数の画素PXに対する書き込み動作が開始される。Block 5～8内の複数の画素PXに対する書き込み動作が完了した場合には、当該Block 5～8内の複数の画素PXの発光期間が開始する。なお、この発光期間中の動作については、上記したBlock 1～4と同様である。また、Block 9～12及びBlock 13～16についても同様である。

30

【0165】

上記したように本実施形態においては、表示領域DAを複数のブロック（領域）に分割したうちの1つのブロックに含まれる画素の階調平均値に基づく、当該1つのブロックに含まれる画素間で共通のPWM制御値（第1輝度情報）と、当該ブロックに含まれる画素の階調値と当該階調平均値との差分に基づく、当該画素のそれぞれにおいて独立した画素信号（第2輝度情報）と、を含む映像信号に基づいて複数の画素を駆動する。この場合、パネルドライバ5（駆動部）は、PWM制御値に基づいてブロックに含まれる画素に共通の発光時間を制御し、かつ、画素信号値に基づいて当該ブロックに含まれる画素のそれぞれが有する発光素子20に供給される電流値を制御する。

40

【0166】

すなわち、本実施形態において、各ブロックに含まれる画素の階調は、PWM制御値に基づいて制御される発光時間と、画素信号値に基づいて制御される電流値に基づく発光輝度との積算で表現することができる。

【0167】

ここで、図16は、電流値に対するカンデラ（明るさ）によって規定される発光素子30（マイクロLED）の発光効率と当該発光素子30に流れる電流密度との関係を示している。

【0168】

図16においては上記したように発光素子30に流れる電流密度によって当該発光素子

50

30の発光効率が変化することが示されているが、本実施形態においては、発光効率が最大となる電流値（電流密度）を基準としてPWM制御によりブロックに含まれる複数の画素の階調を包括的に調整し、当該画素の各々の実際の階調については画素信号Vsigによって微調整する。

【0169】

これによれば、全ての画素の階調値をPWM制御のみで行う必要がないため画素回路が複雑になることを回避することができるとともに、発光効率が最大となる電流値付近の電流値（すなわち、発光効率が最大となる電流値の所定範囲内）で各画素の階調を制御することが可能となるため、本実施形態においては高輝度かつ低消費電力を実現することが可能となる。なお、発光効率が最大となる電流値付近の電流値（発光効率が最大となる電流値から予め定められた範囲内にある値）とは、上記した映像信号に含まれる画素の階調値と、当該画素が含まれるブロックに対して算出された階調平均値との差分を微調整する程度に発光効率が最大となる電流値から増減させた電流値をいう。

10

【0170】

なお、上記した構成は、複数の画素の各々が第1主電源線41（第1電源電位）と第2主電源線42（第2電源電位）との間に駆動トランジスタDRT及び発光素子30と直列に接続されたPWM制御トランジスタEMを有し、上記した発光時間を当該PWM制御トランジスタEMの導通、非導通によって制御することによって実現可能である。

【0171】

また、上記した図14においては1フレームの表示を行うための映像信号が取得された際に決定されたPWM制御値及び画素信号値（つまり、1フレームの表示を行うための映像信号に属するPWM制御値及び画素信号値）を用いて複数の画素を駆動するものとして説明したが、PWM制御値としては、例えば当該フレームよりも前のフレームの表示を行うための映像信号に基づいて決定されたPWM制御値（つまり、前のフレームの映像信号に属するPWM制御値）を用いる構成としてもよい。

20

【0172】

なお、本実施形態においては、画素PXが副画素SPR、SPG及びSPBを含むものとして説明したが、当該画素PXには、副画素SPR、SPG及びSPBに加えて白色を発光する発光素子を有する副画素が更に含まれていてもよい。また、画素PXは、1つの副画素を含む構成であってもよい。なお、画素PXが1つの副画素を含む構成の場合には、ブロック内の複数の画素PXの階調平均値に基づいてPWM制御値が決定されればよい。

30

【0173】

また、画素PXが副画素SPR、SPG及びSPBを含む場合であっても、例えば複数の画素PXの階調平均値に基づいてPWM制御値が決定される構成であってもよい。これによれば、1つのブロック内の複数の画素PXに含まれる全ての副画素SPR、SPG及びSPBについて同一のPWM制御値によるPWM制御を行うことが可能である。

【0174】

また、図11等においては、各PWM制御線45を表示領域DAの左右の外側を引き回して表示領域DA（ブロック）内に配置する例を示しているが、当該PWM制御線45は、画素PX内を経由してブロック内に配置してもよい。また、PWM制御線45は、例えば他の信号線や第1主電源線41（PVD）等に重ねてブロック内に引き回してもよい。

40

【0175】

また、本実施形態においては、隣接するブロック間でのPWM制御値（PWM比率）の違いにより、当該隣接するブロックの境界近傍で境界ムラが視認される可能性がある。これについては、パネルドライバ5において、画素信号値に適切な補正を施すことにより、当該境界ムラの影響を低減することが可能である。

【0176】

なお、本実施形態においては、発光素子としてマイクロLEDを用いたマクロLED表

50

示装置について主に説明したが、本実施形態に係る表示装置 1 は、発光素子として有機エレクトロルミネッセンス（E L）素子を用いた有機 E L 表示装置（有機 E L ディスプレイ）等であっても構わない。

【 0 1 7 7 】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

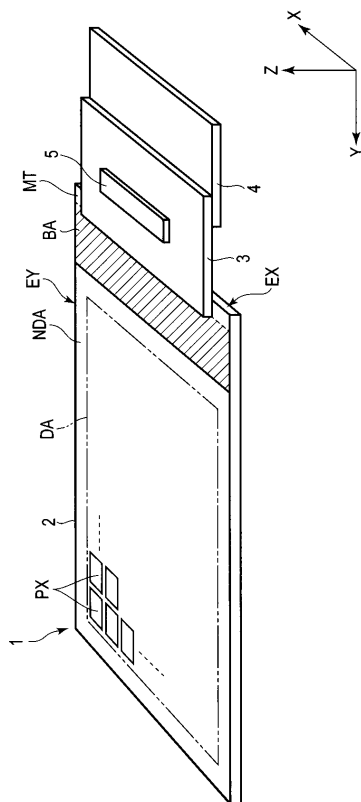
【 符号の説明 】

【 0 1 7 8 】

1 ... 表示装置、 2 ... 表示パネル、 3 ... 第 1 回路基板、 4 ... 第 2 回路基板、 5 ... パネルドライバ（駆動部）、 3 0 ... 発光素子、 D R T ... 駆動トランジスタ、 E M ... P W M 制御トランジスタ、 P X ... 画素、 S P R , S P G , S P B ... 副画素。

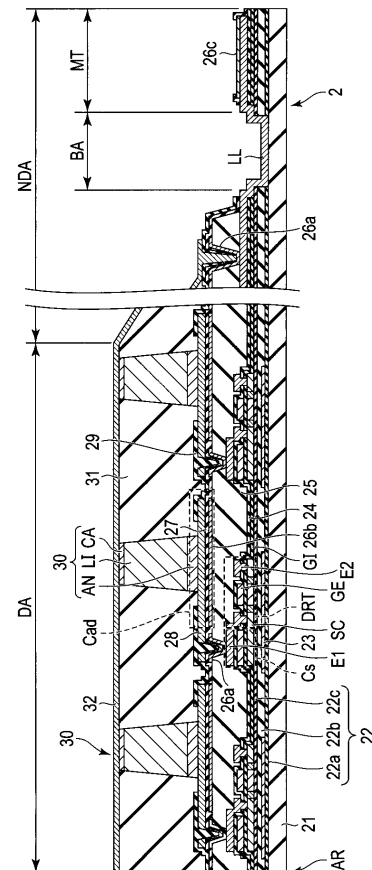
【 図 1 】

図 1

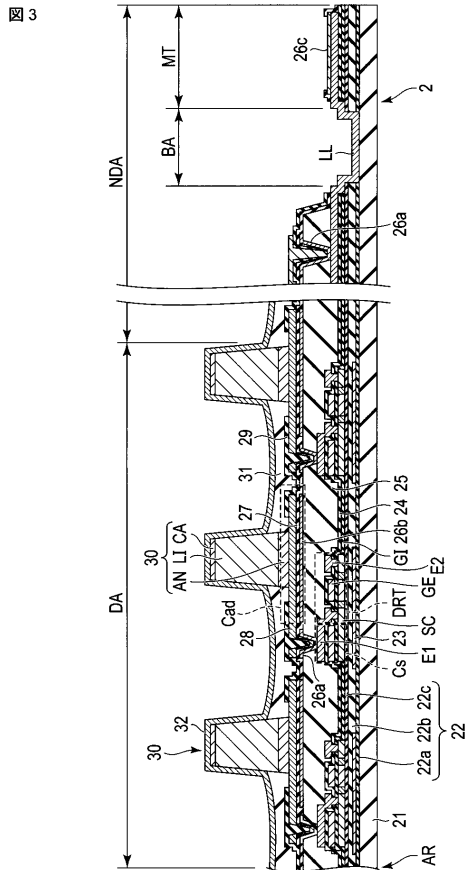


【 図 2 】

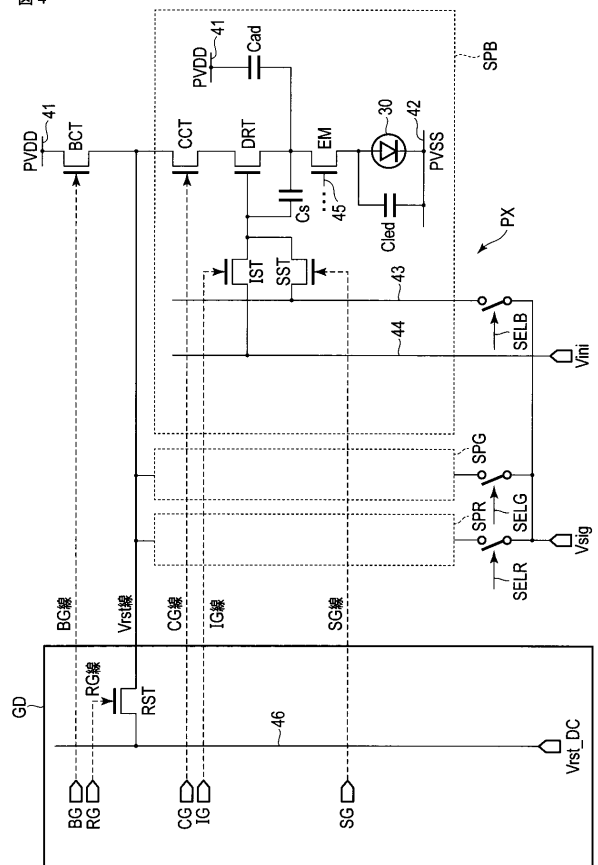
図 2



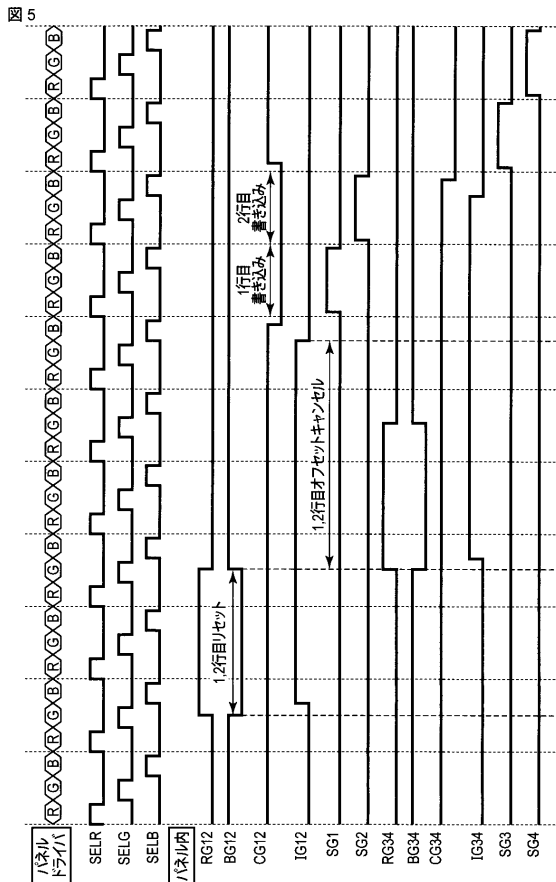
【 図 3 】



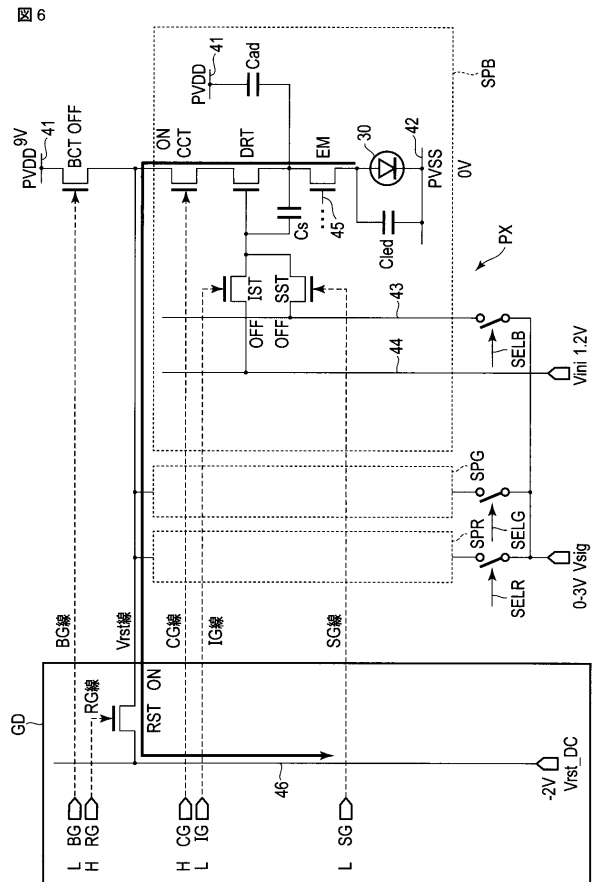
【 図 4 】



【 図 5 】

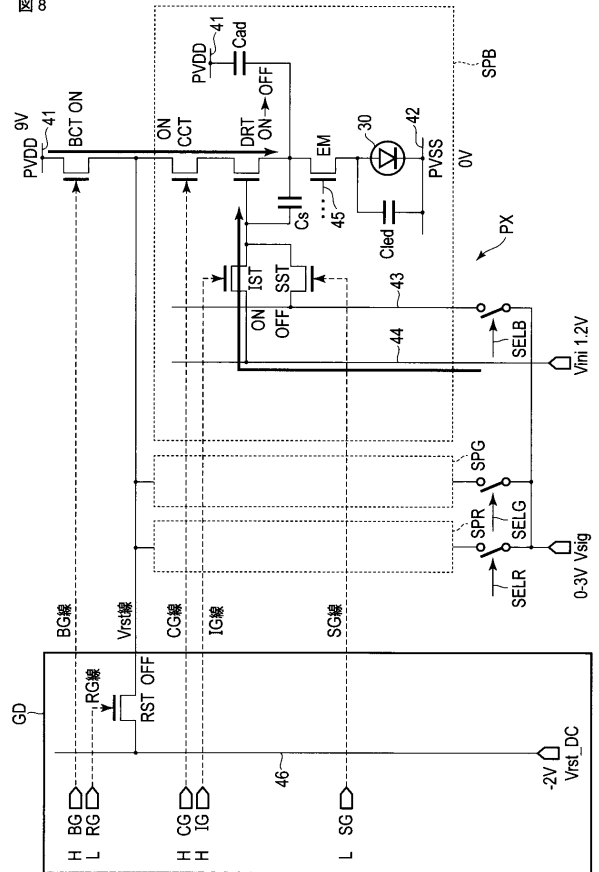


【 図 6 】



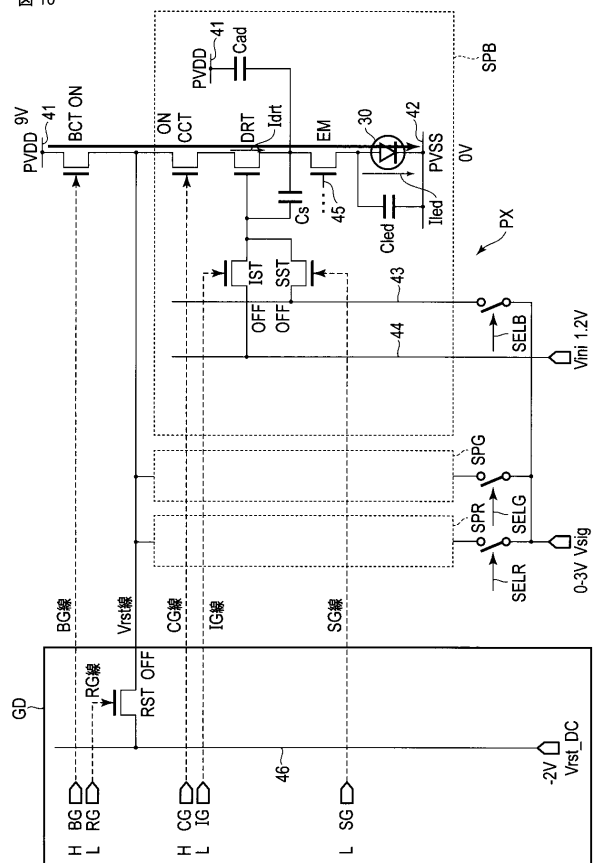
【 図 8 】

图 8

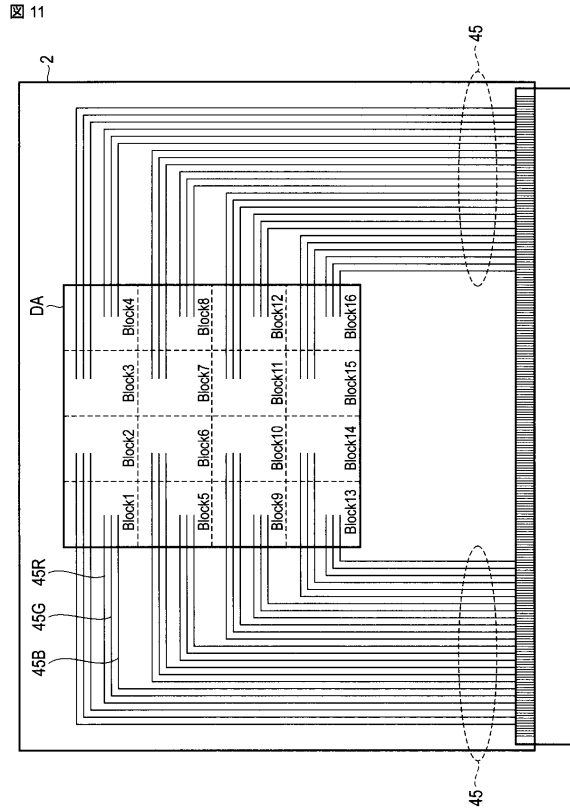


【 ㊦ 1 0 】

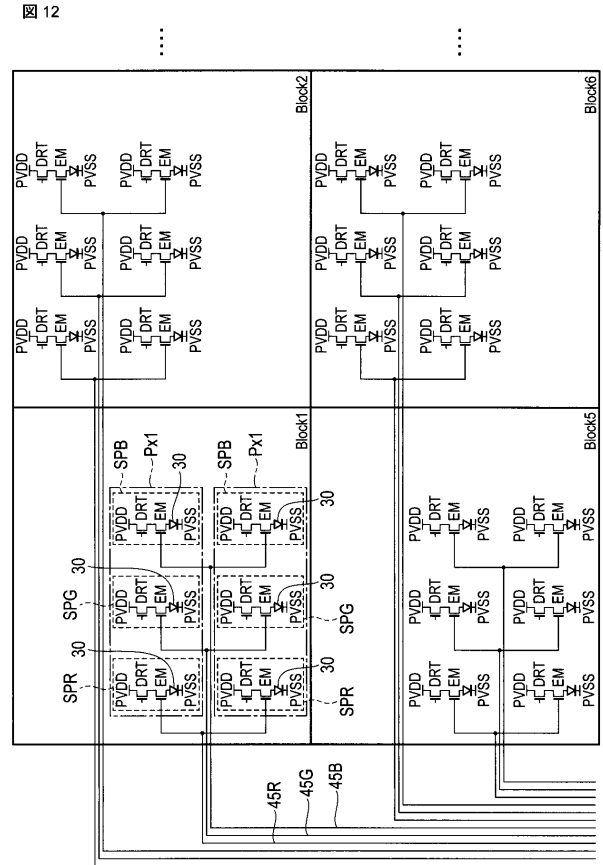
图 10



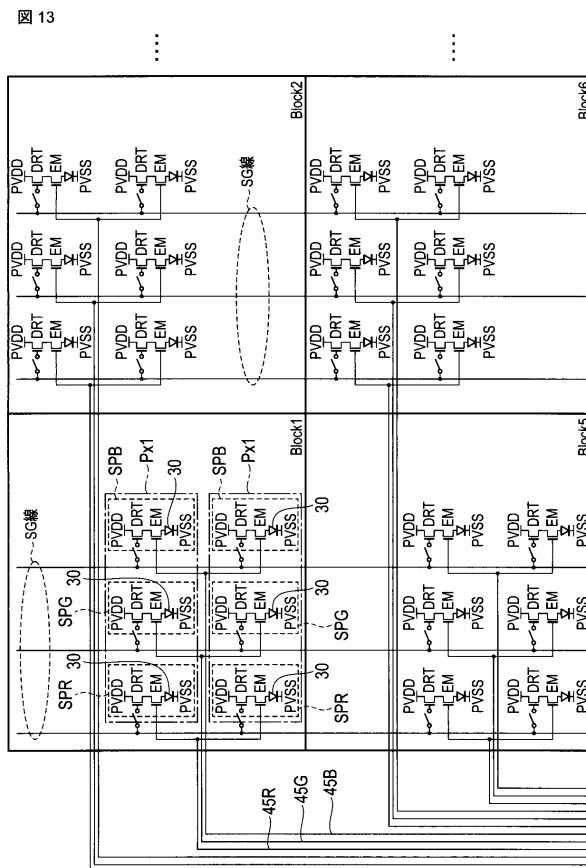
【図 1 1】



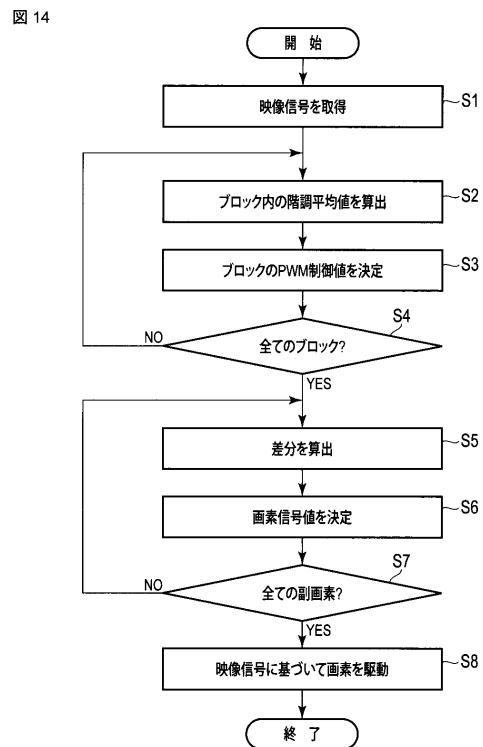
【図 1 2】



【図 1 3】

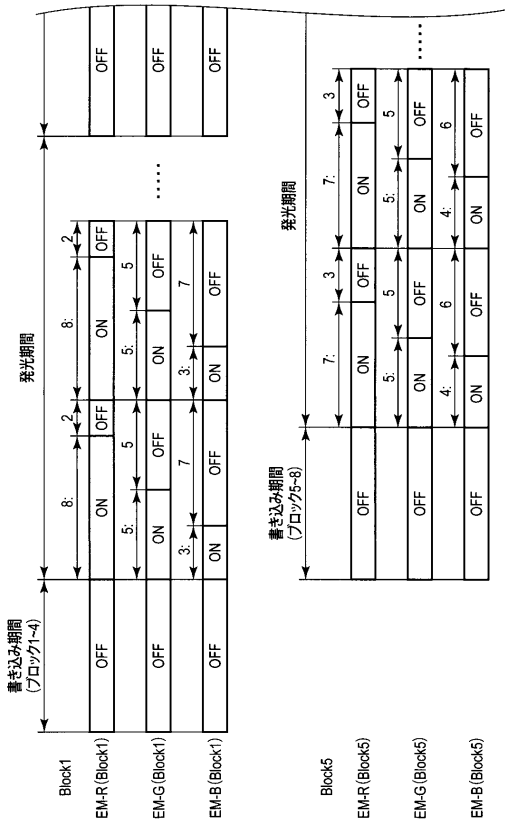


【図 1 4】



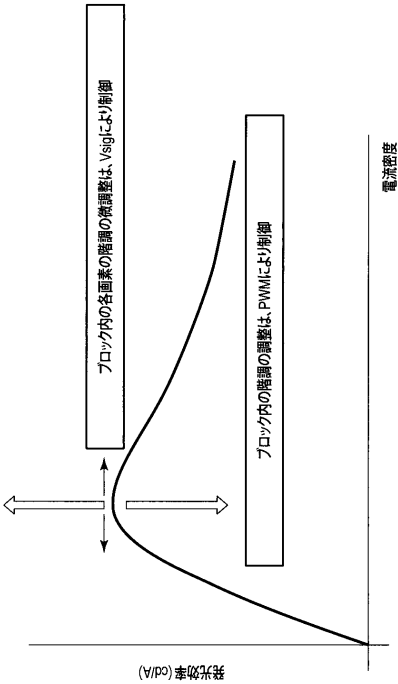
【図 15】

図 15



【図 16】

図 16



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 1 2 U
	H 0 1 L 33/00	J

F ターム(参考) 5C380 AA01 AA03 AB06 AB23 AB34 BA01 BA39 BA45 CA12 CA53
CC04 CC07 CC27 CC33 CC39 CC61 CC64 CD035 DA06 DA07
DA16 DA32 DA34
5F241 BB07 BB18 BC03 BC44 BC47 BD09

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2019211665A	公开(公告)日	2019-12-12
申请号	JP2018108596	申请日	2018-06-06
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	森田哲生 小川康宏		
发明人	森田 哲生 小川 康宏		
IPC分类号	G09G3/32 G09G3/20 H01L33/00		
CPC分类号	G09G3/20 G09G3/32 H01L33/00		
FI分类号	G09G3/32.A G09G3/20.624.B G09G3/20.641.D G09G3/20.641.A G09G3/20.641.K G09G3/20.611.A G09G3/20.612.U H01L33/00.J		
F-TERM分类号	5C080/AA06 5C080/AA07 5C080/BB05 5C080/CC03 5C080/DD26 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB23 5C380/AB34 5C380/BA01 5C380/BA39 5C380/BA45 5C380/CA12 5C380/CA53 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC64 5C380/CD035 5C380/DA06 5C380/DA07 5C380/DA16 5C380/DA32 5C380/DA34 5F241/BB07 5F241/BB18 5F241/BC03 5F241/BC44 5F241/BC47 5F241/BD09		
外部链接	Espacenet		

摘要(译)

提供一种能够实现高亮度且低功耗的显示装置。驱动部分基于视频信号驱动多个像素。多个像素中的每个包括发光元件和控制到发光元件的电流值的驱动晶体管。驱动晶体管和发光元件串联连接在第一电源电势和第二电源电势之间。该视频信号包括：第一亮度信息，其基于通过划分显示区域而获得的区域中包括的像素的灰度值的平均值，并且在该区域中包括的像素之间是公共的；以及 第二亮度信息基于区域中包括的像素的灰度值和平均值之差，并且在区域中包括的每个像素中独立。驱动部分基于第一亮度信息控制在一个区域中包括的像素之间共有的发光时间，并控制提供给在该区域中包括的像素的发光元件的电流值。 第二亮度信息的基础。选定的图：图4

